دانشگاه پیام نور

# تقویت‌کننده‌های عملیاتی چندطبقه مجتمع، از مدل‌سازی رفتاری تا تحلیل و پیاده‌سازی

دکتر حامد امین‌زاده

**امروز کتابخوانی و علم‌آموزی نه تنها یک وظیفه‌ی ملی، که یک واجب دینی است[1].**

**مقام معظم رهبری**

در عصر حاضر یکی از شاخصه‌های ارزیابی رشد، توسعه و پیشرفت فرهنگی هر کشوری میزان تولید کتاب، مطالعه و کتاب‌خوانی مردم آن مرز و بوم است. ایران اسلامی نیز از دیرباز تاکنون با داشتن تمدنی چندهزارساله و مراکز متعدد علمی، فرهنگی، کتابخانه‌های معتبر، علما و دانشمندان بزرگ با آثار ارزشمند تاریخی، سرآمد دولت‌ها و ملت‌های دیگر بوده و در عرصه فرهنگ و تمدن جهانی به‌سان خورشیدی تابناک همچنان می‌درخشد و با فرزندان نیک‌نهاد خویش هنرنمایی می‌کند. چه کسی است که در دنیا با دانشمندان فرزانه و نام‌آور ایرانی همچون ابوعلی سینا، ابوریحان بیرونی، فارابی، خوارزمی و ... همچنین شاعران برجسته‌ای نظیر فردوسی، سعدی، مولوی، حافظ و ... آشنا نباشد و در مقابل عظمت آنها سر تعظیم فرود نیاورد. تمامی این افتخارات ارزشمند، برگرفته از میزان عشق و علاقه فراوان ملت ما به فراگیری علم و دانش از طریق خواندن و مطالعه منابع و کتاب‌های گوناگون است. به شکرانه الهی، تاریخ و گذشته ما، همیشه درخشان و پربار است. ولی اکنون در این زمینه در چه جایگاهی قرار داریم؟ آمار و ارقام ارائه‌شده از سوی مجامع و سازمان‌های فرهنگی در مورد سرانه مطالعه هر ایرانی، برایمان چندان امیدوارکننده نمی‌باشد.

کتاب، دروازه‌ای به سوی گستره دانش و معرفت است و کتاب خوب، یکی از بهترین ابزارهای کمال بشری است. همه دستاوردهای بشر در سراسر عمر جهان، تا آنجا که قابل کتابت بوده است، در میان دست‌نوشته‌هایی است که انسان‌ها پدید آورده و می‌آورند. در این مجموعه بی‌نظیر، تعالیم الهی، درس‌های پیامبران به بشر، و همچنین علوم مختلفی است که سعادت بشر بدون آگاهی از آن‌ها امکان‌پذیر نیست. کسی که با دنیای زیبا و زندگی‌بخش کتاب ارتباط ندارد بی‌شک از مهم‌ترین دستاورد انسانی و نیز از بیشترین معارف الهی و بشری محروم است. با این دیدگاه، به‌روشنی می‌توان ارزش و مفهوم رمزی عمیق در این حقیقت تاریخی را دریافت که اولین خطاب خداوند متعال به پیامبر گرامی اسلام(ص) این است که »بخوان!« و در اولین سوره‌ای که بر آن فرستاده عظیم‌الشأن خداوند، فرود آمده، نام «قلم» به تجلیل یاد

1. https://farsi.khamenei.ir/message-content?id=2696

شده‌است: «إقْرَأ وَ رَبُّکَ الْاَکْرَمُ. اَلَّذی عَلَّمَ بِالْقَلَم» در اهمیت عنصر کتاب برای تکامل جامعه انسانی، همین بس که تمامی ادیان آسمانی و رجال بزرگ تاریخ بشری، از طریق کتاب جاودانه مانده‌اند.

دانشگاه پیام‌نور با گستره جغرافیایی ایران‌شمول خود با هدف آموزش برای همه، همه‌جا و همه‌وقت، به‌عنوان دانشگاهی کتاب‌محور در نظام آموزش عالی کشورمان، افتخار دارد جایگاه اندیشه‌سازی و خردورزی بخش عظیمی از جوانان جویای علم این مرز و بوم باشد. تلاش فراوانی در ایام طولانی فعالیت این دانشگاه انجام پذیرفته تا با بهره‌گیری از تجربه‌های گرانقدر استادان و صاحب‌نظران برجسته کشورمان، کتاب‌ها و منابع آموزشی درسی شاخص و خودآموز تولید شود. در آینده هم، این مهم با هدف ارتقای سطح علمی، روزآمدی و توجه بیشتر به نیازهای مخاطبان دانشگاه پیام‌نور با جدیت ادامه خواهد داشت. به‌طور قطع استفاده از نظرات استادان، صاحب‌نظران و دانشجویان محترم، ما را در انجام این وظیفه مهم و خطیر یاری‌رسان خواهد بود. پیشاپیش از تمامی عزیزانی که با نقد، تصحیح و پیشنهادهای خود ما را در انجام این وظیفه خطیر یاری می‌رسانند، سپاسگزاری می‌نماییم. لازم است از تمامی اندیشمندانی که تاکنون دانشگاه پیام‌نور را منزلگه اندیشه‌سازی خود دانسته و ما را در تولید کتاب و محتوای آموزشی درسی یاری نموده‌اند، صمیمانه قدردانی گردد. موفقیت و بهروزی تمامی دانشجویان و دانش‌پژوهان عزیز آرزوی همیشگی ما است.

**دانشگاه پیام‌نور**

# فهرست مطالب

**پیشگفتار ..... نُه**

**فصل اول. مدل‌سازی ترانزیستورهای فرایند ساخت و طراحی مدار بر اساس آن..... ۱**
**هدف کلی..... ۱**
**مقدمه..... ۱**
۱-۱ مرور و نقد پژوهش‌های قبلی..... ۲
۱-۲ توصیف ماتریسی مدل‌های اولیه ترانزیستور..... ۷
۱-۳ طراحی نظام‌مند مدار با استفاده از مدل‌های ماتریسی..... ۱۲
۱-۳-۱ توابع تعمیم‌یافته برای طراحی و تجزیه‌وتحلیل مدارها..... ۱۲
۱-۳-۲ طراحی مدار با استفاده از توابع طراحی تعمیم‌یافته..... ۱۹
۱-۴ مثال‌های طراحی..... ۲۲
۱-۴-۱ طراحی یک تقویت‌کننده کسکود تاشده ولتاژ- پایین..... ۲۲
۱-۴-۲ طراحی یک مرجع ولتاژ و جریان توان- پایین..... ۲۷
۱-۵ جمع‌بندی..... ۳۰
پیوست الف: رابطه ولتاژ آستانه ترانزیستور بر حسب دما و متغیرهای مداری..... ۳۲
پیوست ب: خلاصه‌ای از مدل ماتریسی استخراج‌شده بر مبنای راهکار پیشنهادی..... ۳۴
مسائل فصل اول..... ۴۳
منابع..... ۴۴

**فصل دوم. تخمین تابع تبدیل تقویت‌کننده‌های عملیاتی..... ۴۷**
**هدف کلی..... ۴۷**
**مقدمه..... ۴۷**
۲-۱ مرور و نقد پژوهش‌های قبلی..... ۴۸

۲-۲ راهکاری قدرتمند برای محاسبه تابع تبدیل تقویت‌کننده‌ها ۵۱
۲-۲-۱ کلیات و علائم اختصاری استفاده‌شده ۵۱
۲-۲-۲ تحلیل صفرها ۵۵
۲-۲-۳ تحلیل قطب‌ها ۵۷
۲-۲-۴ تابع تبدیل کلی ۵۹
۲-۲-۵ رابطه تقریبی قطب‌ها ۶۰
۲-۳ کاربردهای راهبرد پیشنهادی ۶۲
۲-۳-۱ جبران‌سازی میلری با مقاومت حذف‌کننده (MCNR) ۶۲
۲-۳-۲ جبران‌سازی میلری تو در تو (NMC) ۶۶
۲-۳-۳ جبران‌سازی میلری تو در توی معکوس (RNMC) ۶۸
۲-۳-۴ جبران‌سازی فرکانسی فیدبک فعال (AFFC) ۷۱
۲-۳-۵ جبران‌سازی فرکانسی با خازن میلری یگانه (SMC) ۷۲
۲-۳-۶ جبران‌سازی کسکود روبه‌جلوی متقاطع (CFCC) ۷۴
۲-۴ مقایسه و تفسیر مدل‌های بررسی‌شده ۷۵
۲-۵ جمع‌بندی ۷۸
مسائل فصل دوم ۷۹
منابع ۸۱

**فصل سوم. راهکارهای نوین پایدارسازی تقویت‌کننده‌های با طیف وسیع خازن بار ۸۷**
**هدف کلی ۸۷**
**مقدمه ۸۷**
۳-۱ تقویت‌کننده سه‌طبقه با گستره وسیعی از خازن بار در فرایند 65 nm ۸۸
۳-۱-۱ مرور و نقد پژوهش‌های قبلی ۸۹
۳-۱-۲ شماتیک مداری و اصول کاری ۹۱
۳-۱-۳ تابع تبدیل ۹۲
۳-۱-۴ تحلیل پایداری ۹۶
۳-۱-۵ پیاده‌سازی و مقایسه عملکرد مدار ۹۹
۳-۱-۶ عملکرد سیگنال- بزرگ ۱۰۵
۳-۱-۷ تحلیل نویز ۱۰۵
۳-۱-۸ رهنمودهای طراحی ۱۰۶
۳-۱-۹ نتایج شبیه‌سازی ۱۰۸
۳-۱-۱۰ نتایج ساخت ۱۱۱
۳-۲ تقویت‌کننده سه‌طبقه اول با پایداری بی‌قید و شرط در فرایند 65 nm ۱۱۷
۳-۲-۱ مرور و نقد پژوهش‌های قبلی ۱۱۷
۳-۲-۲ شماتیک مداری و اصول کاری ۱۱۹
۳-۲-۳ شبکه فیدبک طبقه میانی ۱۲۰

۳-۲-۴ تابع تبدیل ..... ۱۲۲
۳-۲-۵ تجزیه‌وتحلیل پایداری ..... ۱۲۴
۳-۲-۶ نتایج ساخت و مباحث تکمیلی ..... ۱۲۶
۳-۳ تقویت‌کننده سه‌طبقه دوم با پایداری بی‌قید و شرط در فرایند 180 nm ..... ۱۳۰
۳-۳-۱ آرایش مداری و مدل‌سازی آن ..... ۱۳۱
۳-۳-۲ تابع تبدیل ..... ۱۳۶
۳-۳-۳ تجزیه‌وتحلیل پایداری ..... ۱۳۸
۳-۳-۴ نتایج ساخت ..... ۱۴۰
۳-۴ جمع‌بندی ..... ۱۴۳
مسائل فصل سوم ..... ۱۴۴
منابع ..... ۱۴۵

**فصل چهارم. طراحی مبتنی بر زمان نشست ..... ۱۴۹**
**هدف کلی ..... ۱۴۹**
**مقدمه ..... ۱۴۹**
۴-۱ مرور و نقد پژوهش‌های قبلی ..... ۱۴۹
۴-۲ تقویت‌کننده‌های تک‌طبقه ..... ۱۵۲
۴-۳ تقویت‌کننده‌های دوطبقه ..... ۱۶۱
۴-۳-۱ جبران‌سازی میلری ..... ۱۶۱
۴-۳-۲ جبران‌سازی میلری به همراه بافر جریان (جبران‌سازی کسکود) ..... ۱۶۷
۴-۴ تقویت‌کننده‌های سه‌طبقه ..... ۱۷۴
۴-۵ جمع‌بندی ..... ۱۷۹
مسائل فصل چهارم ..... ۱۷۹
منابع ..... ۱۸۱

**فصل پنجم. شبکه بایاس و تغذیه ..... ۱۸۵**
**هدف کلی ..... ۱۸۵**
**مقدمه ..... ۱۸۵**
۵-۱ مرجع ولتاژ و جریان تک ترانزیستور دوقطبی در فرایند 180 nm ..... ۱۸۶
۵-۱-۱ مرور و نقد پژوهش‌های قبلی ..... ۱۸۶
۵-۱-۲ شماتیک مداری و اصول کاری ..... ۱۹۰
۵-۱-۴ نتایج آزمایشگاهی ..... ۱۹۷
۵-۲ منبع ولتاژ با افت کم در فرایند 130 nm ..... ۲۰۳
۵-۲-۱ مرور و نقد پژوهش‌های قبلی ..... ۲۰۴
۵-۲-۲ ملاحظات دمایی ..... ۲۰۶
۵-۲-۳ تولیدکننده جریان PTAT ..... ۲۰۶

۵-۲-۴ جبران‌سازی ولتاژ خط ..... ۲۰۸
۵-۲-۵ تولیدکننده ولتاژ CTAT ..... ۲۰۹
۵-۲-۶ پیاده‌سازی کامل مدار ..... ۲۱۰
۵-۲-۷ نتایج آزمایشگاهی ..... ۲۱۳
۵-۳ جمع‌بندی ..... ۲۱۶
مسائل فصل پنجم ..... ۲۱۷
منابع ..... ۲۱۸

**فصل ششم. کاربرد روش‌های مطرح‌شده در طراحی سیستم پردازش صدای مجتمع ..... ۲۲۱**
**هدف کلی ..... ۲۲۱**
**مقدمه ..... ۲۲۱**
۶-۱ انگیزه و هدف‌ها ..... ۲۲۱
۶-۲ مدولاتور سیگما-دلتا با کاربرد صوتی در فناوری 65 nm ..... ۲۲۷
۶-۲-۱ اصول اولیه ..... ۲۲۷
۶-۲-۲ مدولاتورهای چندطبقه MASH در مقابل SMASH ..... ۲۳۱
۶-۲-۳ طراحی سیستمی مدولاتور ..... ۲۳۵
۶-۲-۴ طراحی انتگرال‌گیرها بر مبنای بر زمان نشست ..... ۲۳۷
۶-۲-۵ پیاده‌سازی کامل مداری و نتایج شبیه‌سازی ..... ۲۴۳
۶-۳ تقویت‌کننده قدرت با پایداری بی‌قیدوشرط در فناوری 65 nm ..... ۲۵۱
۶-۳-۱ اصول اولیه و نقد پژوهش‌های قبلی ..... ۲۵۱
۶-۳-۲ رفتار تقویت‌کننده‌های سه‌طبقه با وجود تغییرات خازن بار ..... ۲۵۴
۶-۳-۳ تقویت‌کننده قدرت صوتی با پایداری بی‌قیدوشرط خازن بار ..... ۲۵۹
۶-۳-۴ پیاده‌سازی مداری ..... ۲۶۲
۶-۳-۵ نتایج شبیه‌سازی ..... ۲۶۳
۶-۴ جمع‌بندی ..... ۲۶۵
مسائل فصل ششم ..... ۲۶۶
منابع ..... ۲۶۶

**لیست برخی کلمات اختصاری مهم ..... ۲۶۹**

**واژه‌نامه فارسی به انگلیسی ..... ۲۷۱**

**تقدیـم بـه آستان قدسی حضرت علی‌بن موسی الرضا**

## پیشگفتار

پروردگار را شاکرم که حسب تقدیرش، سلامتی جسم و جان به اینجانب عنایت فرمـود تا به تصنیف یک کتاب پژوهشی در حوزه طراحـی مـدارهای مجتمـع بپـردازم. کتـاب پیش‌روی، حاصل مطالعه، تحقیق، آزمـایش و تـدریس اینجانـب در بـیش از یـک دهـه گذشته در حوزه تقویت‌کننده‌های عملیـاتی مجتمـع اسـت و راه‌حـل‌هـای مـؤثری را از مدل‌سازی رفتاری گرفته تا طراحی هدفمند پیشنهاد می‌دهد. این نوشتار گستره وسـیعی از مباحث ابتدایی تا پیشرفته را در حوزه تقویت‌کننده‌ها، از مدل‌سـازی فراینـد سـاخت گرفته تا انتخاب ساختار تقویت‌کننده و شبکه جبران‌سازی، شبکه بایاس و تغذیه، تثبیت منبع ولتاژ و نیز مراحل تحلیل شامل به‌دست‌آوردن تـابع تبـدیل و معـادلات طراحـی را پوشش می‌دهد. پروسه مدنظر درنهایت بـه سـاخت یـک تقویـت‌کننـده کارآمـد منجـر می‌شود تا حسب کاربرد، قادر به برآورده ساختن کلیه مشخصه‌های مـوردنظر طـراح بـا کمترین هزینه و توان مصرفی باشد. اغلب مباحـث مطـرح‌شـده، حاصـل دسـتاوردهای علمی و مقالات چاپ‌شده اینجانب در مجله‌های معتبر بین‌المللی و نیز موارد بـه چـاپ نرسیده تا لحظه نگارش کتاب است. لذا فرض بر آن بوده است که خواننده بـا مباحـث بنیادین طراحی و تحلیل مدارهای مجتمع و همچنین ادبیات این شاخه آشـنا مـی‌باشـد. این کتاب مکملی پیشرفته برای کتاب‌های مرجع منتشرشده درزمینـهٔ طراحـی مـدارها و با تأکید بر جدیدترین دستاوردهای علمی نویسنده در حوزه تقویت‌کننده‌ها است.

در فصل اول، به مدل‌سازی فرایند ساخت و طراحی مدار بر اساس آن پرداخته‌ایم. از مواردی که بهینه‌سازی مدارهای مجتمع و تقویت‌کننده‌های عملیاتی را با محدودیت مواجه ساخته است، مدل تجربی و بسیار پیچیده ترانزیستورهای موجود در فناوری‌های ساخت است. در فصل اول، به ارائه راهکاری بر مبنای معادلات هدایت انتقالی به جریان ($g_m/I_D$) می‌پردازیم که مدل‌سازی و تحلیل ترانزیستورهای مجتمع را با استفاده از مدل‌های ریاضی دقیق ماتریسی ممکن می‌کند. الگوریتم ریاضی ارائه‌شده در فصل اول در نرم‌افزار متلب پیاده‌سازی شده است و کارایی آن در طراحی چندین ساختار مداری، برمبنای مقایسه نتایج شبیه‌سازی و تحلیلی به اثبات رسیده است.

فصل دوم به تخمین تابع تبدیل ورودی- خروجی تقویت‌کننده‌های مجتمع چندطبقه اختصاص یافته است. بدون توجه به ترکیب تقویت‌کننده، تحلیل آن غالباً با محاسبه تابع تبدیل ورودی- خروجی آن آغاز می‌شود. پس‌ازاین مرحله است که قادر خواهیم بود که کلیه معادلات طراحی را به متغیرهای مداری ربط داده و نقاط قوت و ضعف هر ساختار را درک کنیم. در عمل، به‌دست آوردن تابع تبدیل یک تقویت‌کننده چندطبقه و بر مبنای معادلات سیگنال-کوچک کاری زمان‌بر و دشوار است. لذا با مطالعه گسترده ترکیب انواع تقویت‌کننده‌های چندطبقه، سه مدل کلی پیشنهاد شده است که طراح را قادر می‌سازند که استخراج تابع تبدیل ورودی- خروجی تقویت‌کننده را به شکل میان‌بر و بر مبنای یک روش ساده و نمادین به انجام برساند.

جبران‌سازی فرکانسی بخش مهمی از ساختار هر تقویت‌کننده عملیاتی چندطبقه حلقه بسته پایدار را تشکیل می‌دهد. در فصل سوم، به مطالعه و تحلیل سه روش جبران‌سازی جدید پرداخته‌ایم که کارآمدی تقویت‌کننده را از منظرهای مختلف بهبود می‌دهند. هدف اصلی پیاده‌سازی ساختارهای پایداری بوده است که قادر باشند که گستره وسیعی از خازن‌های بار را بدون مشکل ناپایداری تغذیه کنند. در این راستا، برای اولین بار به مطالعه و بررسی نتایج ساخت دو تقویت‌کننده سه‌طبقه پرداخته‌ایم که بدون توجه به‌اندازه خازن بار، در آرایش حلقه بسته پایدار هستند. دو ساختار موردنظر، اولین تقویت‌کننده‌های سه‌طبقه ساخته‌شده با پایداری بی‌قیدوشرط برحسب خازن بار تا زمان نگارش کتاب محسوب می‌شوند. در فصل سوم همچنین به بررسی کارآمدی روشی نوین موسوم به جبران‌سازی کسکود دوگانه در تقویت‌کننده‌های سه‌طبقه پرداخته‌ایم. نتایج ساخت در فناوری 65nm

نشان می‌دهند که روش جبران‌سازی موردنظر از مزیت سرعت بالاتر نسبت به آخرین دستاوردهای علمی برخوردار است.

از موضوعات پراهمیت در بسیاری از زمینه‌های کاربردی تقویت‌کننده‌های مجتمع، زمان نشست خروجی آن‌ها است. در فصل چهارم به تحلیل زمان نشست پرداخته و راهکار پیشنهادی طراحی انواع ساختارهای تک طبقه، دوطبقه و بالاتر بر مبنای زمان نشست را ارائه خواهیم نمود. از ویژگی‌های منحصربه‌فرد راهکار ارائه‌شده، اصلاح روابط بر اساس رویه $g_{\mathrm{m}}/I_{\mathrm{D}}$ موجود در فصل اول برای اولین بار است که طراحی مدار را در نواحی کاری مختلف ترانزیستور ممکن می‌کند.

از مباحث کاربردی دیگر در پیاده‌سازی انواع تقویت‌کننده‌های مجتمع، شبکه بایاس و نحوه پیاده‌سازی مرجع ولتاژ و جریان موجود در آن است. انتخاب شبکه تثبیت ولتاژ تغذیه نیز یکی از دغدغه‌های اصلی طراحان در این حوزه محسوب می‌شود. در فصل پنجم راهکارهای پیشنهادی در مورد چگونگی پیاده‌سازی شبکه بایاس و تغذیه را با هدف حفظ تعادل در حضور منبع تغذیه ورودی متغیر ارائه نموده و نتایج ساخت را در کنار نتایج شبیه‌سازی تشریح می‌کنیم.

فصل ششم به کاربرد راهکارهای موجود در فصل‌های اول تا پنجم در پیاده‌سازی دو بلوک مهم از یک سیستم پردازش صدای مجتمع یعنی مبدل آنالوگ به دیجیتال و تقویت‌کننده قدرت اختصاص دارد. طراحی با در نظر گرفتن مشخصه‌های اولیه و تابع تبدیل ورودی- خروجی آغاز شده و با پیاده‌سازی کامل در یک فناوری ساخت 65nm به انتها می‌رسد.

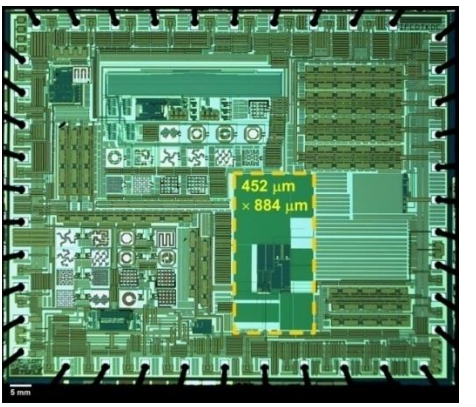
از شاخص‌ترین موارد مطرح‌شده در این کتاب، پنج مورد مهم‌تر به‌قرار زیر هستند:

۱. راهکار پیشنهادی به‌منظور مدل‌سازی فرایند ساخت و طراحی مدار در فصل اول، برای اولین بار در یک کتاب علمی ارائه می‌شود و طراح را به‌طور کامل از نرم‌افزار شبیه‌ساز، قبل از تهیه نقشه قابل‌ارسال به کارخانه بی‌نیاز می‌کند. این راهکار امکان انجام تحلیل و طراحی تقویت‌کننده را در نرم‌افزارهای تحلیلی ازجمله متلب امکان‌پذیر می‌کند.
۲. فصل دوم به معرفی روشی نوینی در تحلیل نمادین تقویت‌کننده‌ها و به‌دست آوردن تابع تبدیل آن‌ها بر مبنای سه مدل کلی اختصاص یافته است. روش تحلیلی معرفی‌شده بسیار کارآمد است و تحلیل بسیار پیچیده تقویت‌کننده‌های چندطبقه را بر اساس چند مرحله ساده انجام‌پذیر می‌کند.

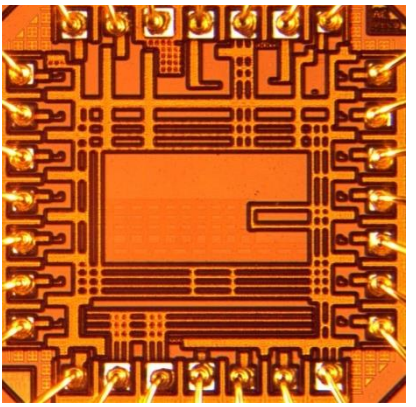
۳. برای اولین بار در یک کتاب علمی، آرایش تقویت‌کننده‌های سه‌طبقه‌ای در فصل سوم ارائه خواهد شد که بدون قید و شرط در آرایش حلقه بسته و به‌ازای هر خازن باری پایدار هستند. تقویت‌کننده‌های موردنظر اولین مدارهای ساخته‌شده در این حوزه محسوب می‌شوند.
۴. برای اولین بار در فصل چهارم، راهکار طراحی‌ای برای تقویت‌کننده‌های مجتمع و بر مبنای زمان نشست ارائه‌شده است که طراح را قادر می‌سازد که معادلات طراحی را به‌طور مستقیم به متغیرهای مهم فرکانسی و زمان نشست گره بزند. این راهکار امکان طراحی تقویت‌کننده‌های مجتمع فیدبک‌دار را به‌سادگی و بر مبنای زمان نشست مشخص فراهم می‌کند. راهکار موردنظر بدون توجه به ناحیه کار ترانزیستورهای پیشنهاد شده است و در قالب ارائه شده تا زمان نگارش کتاب مقاله‌ای به چاپ نرسیده است.
۵. به‌منظور پیاده‌سازی کارآمد شبکه تغذیه تقویت‌کننده، برای اولین بار مرجع جریان و ولتاژ مجتمعی در فصل پنجم پیشنهاد و ساخته شده است که تنها شامل یک تک ترانزیستور دوقطبی می‌باشد. مدار مرجع ولتاژ و جریان پیشنهادی قادر است که تولید هم‌زمان ولتاژ و جریان مرجع و سایر سیگنال‌های وابسته به دما را انجام دهد.

قطعاً نگارش این کتاب و پژوهش‌های مرتبط با آن، بدون کمک دانشجویان و همکاران محترم داخل و خارج از کشور میسر نبوده است. در انتها لازم می‌دانم که به‌طور ویژه از جناب آقای دکتر عبدالرضا نبوی به خاطر راهنمایی‌های سودمندشان در تدوین این کتاب تشکر کنم. همچنین از همراهی آقایان محمدمهدی ولی‌نژاد و محمد جمالی، آقای دکتر سید جواد جوادی مقدم و نیز اساتید گران‌قدر خارجی آقایان ووتر سردین، پال جسپرز و گائتانو پالومبو، آلفیو داریو گراسو، دالتون مارتینی کلومبو و آندره بالو قدردانی می‌کنم.

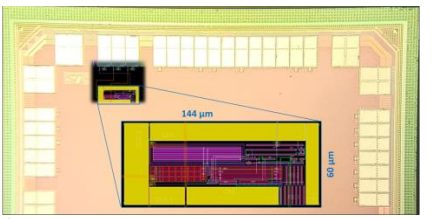
**حامد امین‌زاده**

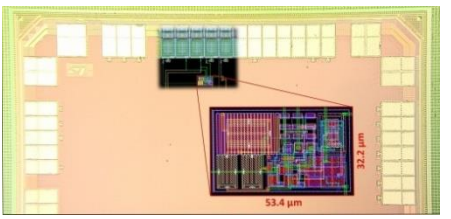



**180-nm CMOS (فصل پنجم)**

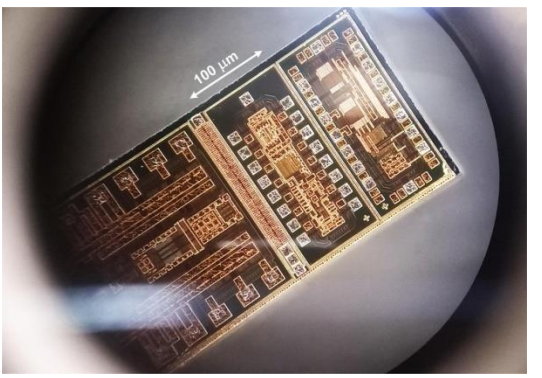


**130-nm CMOS (فصل پنجم)**




**65-nm CMOS (فصل سوم)**




**180-nm CMOS (فصل سوم)**

مدارهای مجتمع بررسی‌شده در فصل‌های سوم و پنجم تماماً توسط نویسنده کتاب ساخته شده‌اند. عکس بالا تراشه ساخته‌شده برخی موارد را زیر میکروسکوپ نشان می‌دهد.

# فصل اول

# مدل‌سازی ترانزیستورهای فرایند ساخت و طراحی مدار بر اساس آن

## هدف کلی

آشنایی با روشی نوین در مدل‌سازی ترانزیستورهای مجتمع در یک فرایند ساخت.

## مقدمه

تحلیل، طراحی و بهینه‌سازی تقویت‌کننده‌های ترانزیستوری، قبل از هر چیز مستلزم مدل‌سازی بهینه ترانزیستورهای موجود در فرایند ساخت است. این فصل در ادامه دستاوردهای علمی نویسنده کتاب در مدل‌سازی ترانزیستورهای با ابعاد زیر- میکرون و نانو نگاشته شده است [۱, ۲]. حاصل این تحقیقات، رویه‌ای نظام‌مند برای مدل‌سازی ترانزیستور در خارج از محیط شبیه‌سازی مداری است. در این خصوص نکته چالش‌برانگیز آن است که رویکرد متداول پیاده‌سازی مدار مجتمع (IC[1]) در فناوری CMOS[2] اساساً بر مبنای شبیه‌سازی مدار و با استفاده از مدل‌های اسپایس[3] ارائه‌شده توسط سازندگان می‌باشد؛ بنابراین بسته به پیچیدگی مدار، طراح باید زمان قابل‌توجهی صرف تنظیم ابعاد ترانزیستورها کند تا بازدهی بیشینه به ازای حداقل توان مصرفی و سطح سیلیسیوم اشغالی حاصل شود. برای حل چالش تنظیم اندازه ترانزیستورها، رویه‌های طراحی مبتنی بر تحلیل ریاضی تا حدی مفید هستند. بااین‌حال، این رویه‌ها

1. Integrated Circuit
2. Complementary-Metal-Oxide-Semiconductor
3. SPICE: Simulation Program with Integrated Circuit Emphasis

به‌شدت وابسته به آرایش مداری، متغیرهای مدار و فیزیک ترانزیستور ماسفت[1] می‌باشند. هدف ما در این فصل ارائه یک رویکرد نظام‌مند برای تحلیل و طراحی مدارهای مجتمع آنالوگ در فناوری‌های نوین است. برای این منظور، رفتار ترانزیستورهای ماسفت کانال- کوتاه را در گوشه‌های فرایند ساخت[2] و دما و بر مبنای یک نمایش ماتریسی مبتنی بر نسبت هدایت انتقالی به جریان درین ترانزیستور ($g_{\mathrm{m}}/I_{\mathrm{D}}$)، ابعاد ترانزیستور، شرایط بایاس و متغیرهای سیگنال-کوچک ثبت و ضبط خواهیم کرد. جزئیات لازم برای استخراج ماتریس معادل با مدل اسپایس ارائه خواهند شد تا بر مبنای آن‌ها، توابع تعمیم‌یافته‌ای برای طراحی و تحلیل مدار پیاده‌سازی شوند. نمونه‌های طراحی که برمبنای توابع موردنظر در فناوری 90-nm CMOS پیاده‌سازی شده‌اند شامل یک مدار مرجع ولتاژ و جریان 0.39 V – 28 µA و یک تقویت‌کننده هدایت انتقالی 7.50 µA/V با ولتاژ تغذیه 1.0 V هستند. طراحی و شبیه‌سازی هر دو مدار در گوشه‌های مختلف فرایند ساخت و دما و در خارج از محیط شبیه‌ساز انجام شده است و نتایج به‌دست‌آمده، با حاصل شبیه‌سازی مدار با استفاده از مدل‌های واقعی ترانزیستوری مطابقت دارد.

## ۱-۱ مرور و نقد پژوهش‌های قبلی

عملکرد مدارهای مجتمع آنالوگ پیشرفته بیش از هر چیز تحت تأثیر مبادلات بنیادین بین توان مصرفی، سطح اشغالی سیلیسیوم، خطی‌بودن، نویز، پهنای باند و محدوده پویایی است. در عمل تعامل این متغیرها چندان مشابه با مدل‌های ریاضی موجود در کتاب‌های درسی نیست. علاوه بر مبادلات ذاتی پیچیده بین عناصر، متغیرهای بنیادین تنظیم‌کننده عملکرد مدار نیز به طرز پیچیده‌ای وابسته به دما و پروسه ساخت هستند. به‌عنوان‌مثال، به تحلیل رابطه ولتاژ آستانه[3] با متغیرهای فیزیکی و دما در پیوست الف توجه کنید. این تحلیل برای اولین بار توسط مؤلف در مقاله [۲] ارائه‌شده است و نشان می‌دهد که برای هر یک ترانزیستورهای مدار، استخراج مستقیم این متغیر بنیادین فراتر از تحلیل دستی و با استفاده کاغذ و خودکار است.

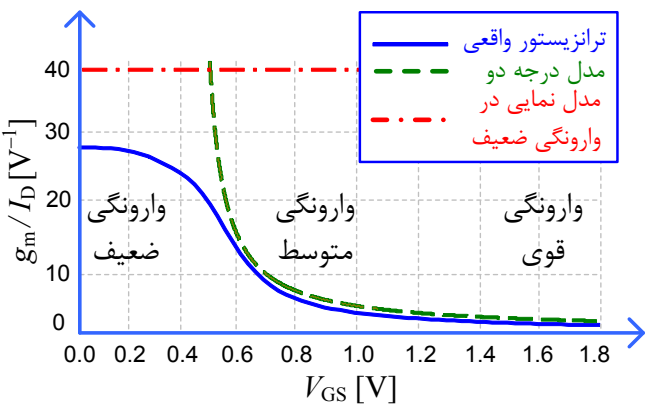
---

1. MOSFET
2. Process corner
3. Threshold voltage

در این وضعیت، پیاده‌سازی مدارهای آنالوگ با کارایی بالا به یک چالش بزرگ تبدیل شده است که نیازمند دانش و تجربه عمیقی از طراحی مدار است. از شبیه‌سازهای اسپایس برای تحقق ریزسیستم‌های پیچیده مجتمع شده در فناوری‌های پیشرفته استفاده می‌شود تا وضعیت الکتریکی ماسفت‌ها را ازنقطه‌نظر روابط ذاتی بین جریان درین ($I_D$) و ولتاژهای گیت- سورس، درین- سورس و سورس- بالک (به ترتیب $V_{GS}$, $V_{DS}$ و $V_{SB}$) بسنجند. در سایه اثرات مرتبه دوم اما، طراح باید هم‌زمان طول ($L$) و عرض ($W$) گیت تمامی ترانزیستورها را جاروب کند تا حداقل نیازمندی‌های مورد انتظار از مدار در گوشه‌های پروسه ساخت، ولتاژ و دما (PVT[1]) تأمین گردد. ابزارهای طراحی به کمک رایانه (CAD[2]) در به‌دست آوردن ابعاد بهینه ترانزیستورها مفید واقع شده و با کاوش در فضای راه‌حل‌های ممکن، به سمت هدف‌های طراحی پیش می‌روند [۳-۵]. بااین‌حال مبادلات ذاتی بین متغیرهای مختلف، کدگذاری الگوریتم طراحی در قالب ابزارهای CAD را با مشکل مواجه نموده و همین امر، ابداع رویه‌های طراحی خودکار مدار مجتمع را به یک حوزه تحقیقاتی کلیدی تبدیل کرده است. ماهیت چندبعدی رفتار مدار، کاربرد الگوریتم‌های تکاملی در طراحی و سنتز مدارهای مجتمع را نیز گسترش داده است. راهکارهای طراحی متنوعی در این راستا پیشنهاد شده است که از آن جمله می‌توان به کاربرد الگوریتم ژنتیک (GA[3]) [۶]، برنامه‌ریزی ژنتیک (GP[4]) [۷]، مرتب‌سازی GA غیرغالب (NSGA-II) [۸]، شبیه‌سازی ذوب فلزات (SA[5]) [۹]، برنامه‌ریزی هندسی[6] [۱۰] و الگوریتم رقابتی امپریالیستی (ICA[7]) [۱۱] در طراحی مدار اشاره نمود. صرف‌نظر از مدل ترانزیستور و رفتار فیزیکی آن، و در حضور اتصالات و ارتباطات درونی اجزای مدار، هر الگوریتم یک فرایند تصادفی بهینه‌سازی را با هدف دستیابی به رفتار مداری بهینه تکرار می‌کند. در مسائل طراحی با چند ده ترانزیستور و بالاتر، اما فضای حالت یک الگوریتم تکاملی بسیار بزرگ خواهد شد که این مسئله، تعداد تکرارهای موردنیاز برای نهایی کردن

1. Process, Voltage and Temperature
2. Computer-Aided Design
3. Genetic Algorithm
4. Genetic Programming
5. Simulated Annealing
6. Geometric Programming
7. Imperialist Competitive Algorithm

فرایند طراحی را به تعداد سرسام‌آوری افزایش می‌دهد. در پایان نیز طراح به بینشی صحیح از مصالحه‌های متغیرهای طراحی و تفسیر دلایلی که منجر به ابعاد بهینه شده است دست نخواهد یافت. رویه‌های طراحی مبتنی بر تحلیل، فیزیک ترانزیستور، محدودیت‌های مداری، و معماری مدار را نیز در الگوریتم طراحی لحاظ می‌کنند. ازاین‌دست می‌توان به راهکارهای مبتنی بر توصیف ترانزیستور با استفاده از مدل درجه‌دو [۱۲]، مدل E.K.V[1] [۱۳] و مدل‌سازی نسبت $g_m/I_D$ ترانزیستور [۱۴] اشاره کرد. شکل ۱-۱ رابطه $g_m/I_D$ با $V_{GS}$ یک ترانزیستور واقعی را با مدل نمایی استاندارد در ناحیه زیرآستانه ($g_m/I_D$ ثابت) و درجه‌دو در ناحیه وارونگی قوی و اشباع[2] ($g_m/I_D$ متناسب با عکس $V_{GS}$) مقایسه می‌کند. مدل‌های درجه دو و نمایی قادر نیستند که رفتار ترانزیستور در ناحیه وارونگی ضعیف[3] و وارونگی قوی[4] و به‌خصوص در وارونگی متوسط[5] را به‌درستی پیش‌بینی کنند. این مدل‌ها همچنین در توصیف اثرات درجه دوم موجود در عملکرد ترانزیستورهای در مقیاس نانو ناکارآمد هستند و غالباً برای توصیف رفتار کلی مدارها استفاده می‌شوند. مدل E.K.V. قادر به توصیف تحلیلی عملکرد ترانزیستور ماسفت صرف‌نظر از ناحیه کاری آن است. بااین‌حال، متغیرهای




**شکل ۱-۱.** مقایسه نسبت $g_m/I_D$ با $V_{GS}$ یک ترانزیستور واقعی با مدل‌های درجه دو و نمایی.

1. Enz–Krummenacher–Vittoz
2. Saturation
3. Weak Inversion
4. Strong Inversion
5. Moderate Inversion

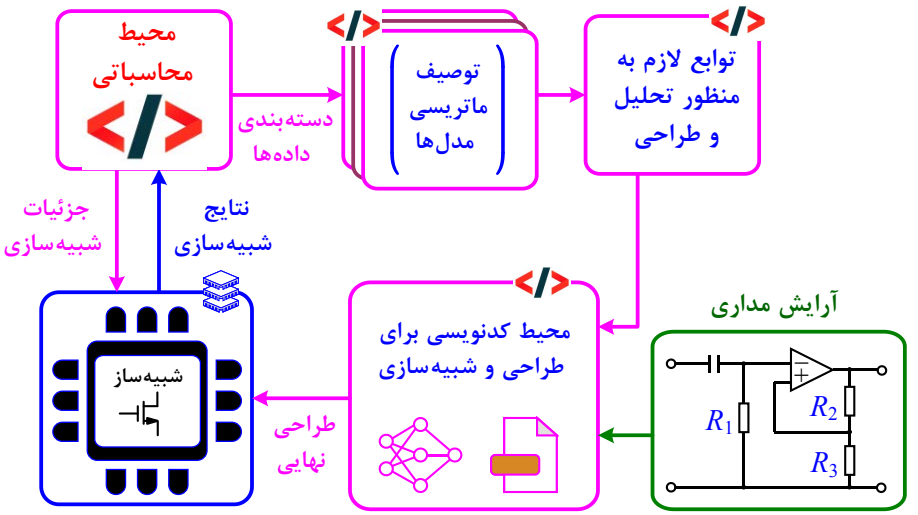
E.K.V. توسط بسیاری از شرکت‌های سازنده ارائه نمی‌شوند که این محدودیت، استفاده از آن را در عمل با مشکل مواجه می‌کند. در چارچوب راهبرد نام‌آشنای $g_m/I_D$ [۱۵]، استخراج نسبت صحیح ترارسانایی ترانزیستور ($g_m$) به جریان درین ($I_D$) در آزمایشگاه یا با شبیه‌سازی امکان‌پذیر شده است. این نسبت از مقدارهای بزرگ بین 20 تا 40 در ناحیه وارونگی ضعیف، تا مقدارهای متوسط بین 10 تا 20 در ناحیه وارونگی متوسط و مقدارهای کوچک‌تر از 10 در وارونگی قوی متغیر است (شکل ۱-۱). به کمک روش $g_m/I_D$، تفاوت بین نتایج شبیه‌سازی اسپایس و نتایج تحلیلی به حداقل رسیده و طراح می‌تواند ویژگی‌های رفتاری ترانزیستور را به کمک نمودارهای $g_m/I_D$ و یا جدول‌های از پیش محاسبه‌شده پیش‌بینی کند. اثربخشی روش $g_m/I_D$ در مقاله [۱۶] موردبررسی قرار گرفته و جزئیات طراحی یک تقویت‌کننده عملیاتی هدایت انتقالی (OTA[1]) شرح داده‌شده است. به شکل ابتدایی، راهبرد $g_m/I_D$ مدولاسیون طول کانال[2]، اثر بدنه[3] و تأثیر ابعاد گیت بر نسبت $g_m/I_D$ را نادیده گرفته و اصلاح آن را به یک ضرورت برای تحقق مدارهای کارآمد تبدیل کرده است. با مطالعه اثرات موردنظر، نسخه‌های بهبودیافته‌ای از روش $g_m/I_D$ اولیه گزارش‌شده‌اند [۱۵, ۱۷-۱۹]. در مقاله [۱۷]، روابط بین بهره ذاتی[4] $g_m/g_O$ ($g_O$ رسانایی خروجی است)، $V_{DS}$ و $V_{SB}$ استخراج شده و منحنی‌های به‌روز شده‌ای برای تحقق OTA های دوطبقه بر مبنای چگالی جریان ($I_D/W$)، فرکانس گذار بهره، $f_T$ و $g_m/g_O$ ارائه شده است. این راهکار در مقاله [۱۸] بهبود یافته است به‌گونه‌ای که بتوان طراحی تقویت‌کننده یک طبقه با طبقات بهره اضافی را نیز به نتیجه رساند. در مقاله [۱۹] ارتباط میان متغیرهای مدار با $g_m/I_D$، $V_{DS}$ و $L$ برآورد کمی شده و بر اساس آن یک راهکار طراحی بهبودیافته برای تقویت‌کننده‌های دوطبقه در فناوری ساخت نانو، پیشنهاد شده است. در مقاله [۲۰]، راهکار $g_m/I_D$ به‌منظور محدود کردن فضای جست‌وجوی الگوریتم NSGA-II در هنگام طراحی تقویت‌کننده به کار گرفته‌شده است. تقویت‌کننده مشابهی در پروسه ساخت CMOS 0.18μm و در مقاله [۲۱] تحقق یافته و راهکار طراحی بر مبنای روش $g_m/I_D$ تشریح شده است. روند طراحی به‌گونه‌ای است که عملکرد مورد انتظار از

1. Operational Transconductance Amplifier
2. Channel length modulation
3. Body effect
4. Intrinsic gain

نقطه‌نظرهای حاصل‌ضرب بهره در پهنای باند (GBW[1])، نسبت حذف حالت مشترک (CMRR[2]) و نویز حاصل گردد.

راهکارهای طراحی که به آن‌ها در بالا اشاره شد عمدتاً بر جنبه‌های نظری روش $g_m/I_D$، و نه بر جزئیات طراحی و تحلیل نظام‌مند مدارها تأکید دارند. لذا در این فصل، یک راهکار طراحی به‌روز شده مبتنی بر $g_m/I_D$ را برای طراحی و تحلیل مدارهایی همچون تقویت‌کننده‌ها شرح می‌دهیم. رویکرد پیشنهادی کلیه مراحل طراحی و تجزیه‌وتحلیل مدارها را به یک محیط کدگذاری غیر از شبیه‌سازهای رایج مداری از قبیل اسپکتر کیدنس[3] [۲۲] و اچ‌اسپایس[4] [۲۳] منتقل می‌کند. شکل ۱-۲ روند طراحی پیشنهادی را بر اساس نمایش ماتریسی مدل‌های ترانزیستور در فناوری CMOS نشان می‌دهد. از یک رویکرد عملی برای سرعت بخشیدن به استخراج متغیرهای مدل و ادغام همه آن‌ها در قالب یک مدل ماتریسی یکپارچه استفاده شده است. مدل‌های حاصل، در مرحله بعد برای تحقق توابع مختلف طراحی و تحلیل استفاده می‌شوند. توابع، بلوک‌های اصلی برای توصیف رفتار مدارهای مجتمع در یک محیط محاسباتی مانند نرم‌افزار متلب[5] هستند. ورودی توابع پیشنهادی، مدل ماتریسی مرکبی از داده‌های ترانزیستوری بوده و توابع قادر هستند که متغیرهای مختلف ترانزیستور را در شرایط مختلف بایاس تحلیل کنند. در زمان طراحی، این توابع تنظیم ترانزیستورها را بر مبنای مضرب صحیحی از لامبدای فناوری ( ) انجام می‌دهند تا ابعاد انتخاب‌شده قابل تحقق باشند. لذا هیچ فرایند اضافی برای گرد کردن ابعاد گیت ترانزیستورها قبل از ارسال به کارخانه نیاز نیست. مدار اولیه به‌صورت توابع موجود در شکل ۱-۲ کدگذاری شده و حاصل طراحی را می‌توان برای تنظیمات نهایی به شبیه‌ساز منتقل نمود. چنین روندی در مقایسه با الگوریتم‌های تصادفی، منجر به کاهش شگرف زمان طراحی خواهد شد چراکه کلیه داده‌های ترانزیستور از قبل در قالب ماتریس‌های داده موجود هستند. در ادامه، مراحل مختلف موجود در فلوچارت طراحی تشریح خواهند شد. در بخش ۱-۲، جزئیات تبدیل مدل‌های اسپایس ابتدایی را به فرم ماتریسی شرح می‌دهیم. پس‌ازآن در بخش ۱-۳، توابع طراحی و تحلیل لازم را معرفی کرده و نحوه استفاده از آن‌ها برای

1. Gain-Bandwidth Product
2. Common-Mode-Rejection-Ratio
3. Spectre Cadence
4. HSPICE
5. MATLAB




**شکل ۱-۲.** رویکرد پیشنهادی برای طراحی و تحلیل مدارهای مجتمع در یک محیط کدگذاری.

طراحی و تحلیل تقویت‌کننده سورس- مشترک (CS[1]) را شرح می‌دهیم. دو نمونه طراحی دیگر شامل یک تقویت‌کننده کسکود تاشده و یک مرجع ولتاژ و جریان در بخش ۱-۴ ارائه خواهد شد. در هر مورد، نتایج محاسبات با شبیه‌سازی مقایسه می‌شود.

## ۱-۲ توصیف ماتریسی مدل‌های اولیه ترانزیستور

از میان روش‌های $g_m/I_D$ موجود، هیچ‌کدام اثر عرض کانال زیر گیت را بر متغیرهای اصلی طراحی مانند $g_m/I_D$ و $g_m/g_O$ لحاظ نمی‌کنند [۱۴, ۱۷, ۱۸, ۲۰]. در عوض، از نتایج حاصل از چگالی جریان $I_D/W$ برای محاسبه $W$ در شرایطی استفاده می‌شود که $g_m/I_D$ و $I_D$ از قبل به‌عنوان تابعی از $L$ مشخص شده باشند. نتایج شبیه‌سازی نشان می‌دهد که وابستگی چنین متغیرهایی به $W$، زمانی که طول گیت ترانزیستور به زیر 1 تا 2 میکرومتر برسد قابل صرف‌نظر کردن نیست. شکل ۱-۳ تغییرات $I_D/W$، $g_m/I_D$ و $g_m/g_O$ را به‌عنوان تابعی از $W$ یک ترانزیستور $p$MOS با مقیاس‌های مختلف $L$ در فناوری 90nm CMOS نشان می‌دهد.

1. Common Source