دانشگاه پیام نور

طراحی و تحلیل SRAM مقاوم

جاوار سینگ و همکاران

ترجمهٔ

مهدی فرجی

امروز کتابخوانی و علم‌آموزی نه تنها یک وظیفه‌ی ملی، که یک واجب دینی است[1].

مقام معظم رهبری

در عصر حاضر یکی از شاخصه‌های ارزیابی رشد، توسعه و پیشرفت فرهنگی هر کشوری میزان تولید کتاب، مطالعه و کتاب‌خوانی مردم آن مرز و بوم است. ایران اسلامی نیز از دیرباز تاکنون با داشتن تمدنی چندهزارساله و مراکز متعدد علمی، فرهنگی، کتابخانه‌های معتبر، علما و دانشمندان بزرگ با آثار ارزشمند تاریخی، سرآمد دولت‌ها و ملت‌های دیگر بوده و در عرصه فرهنگ و تمدن جهانی به‌سان خورشیدی تابناک همچنان می‌درخشد و با فرزندان نیک‌نهاد خویش هنرنمایی می‌کند. چه کسی است که در دنیا با دانشمندان فرزانه و نام‌آور ایرانی همچون ابوعلی سینا، ابوریحان بیرونی، فارابی، خوارزمی و ... همچنین شاعران برجسته‌ای نظیر فردوسی، سعدی، مولوی، حافظ و ... آشنا نباشد و در مقابل عظمت آنها سر تعظیم فرود نیاورد. تمامی این افتخارات ارزشمند، برگرفته از میزان عشق و علاقه فراوان ملت ما به فراگیری علم و دانش از طریق خواندن و مطالعه منابع و کتاب‌های گوناگون است. به شکرانه الهی، تاریخ و گذشته ما، همیشه درخشان و پربار است. ولی اکنون در این زمینه در چه جایگاهی قرار داریم؟ آمار و ارقام ارائه‌شده از سوی مجامع و سازمان‌های فرهنگی در مورد سرانه مطالعه هر ایرانی، برایمان چندان امیدوارکننده نمی‌باشد.

کتاب، دروازه‌ای به سوی گستره دانش و معرفت است و کتاب خوب، یکی از بهترین ابزارهای کمال بشری است. همه دستاوردهای بشر در سراسر عمر جهان، تا آنجا که قابل کتابت بوده است، در میان دست‌نوشته‌هایی است که انسان‌ها پدید آورده و می‌آورند. در این مجموعه بی‌نظیر، تعالیم الهی، درس‌های پیامبران به بشر، و همچنین علوم مختلفی است که سعادت بشر بدون آگاهی از آن‌ها امکان‌پذیر نیست. کسی که با دنیای زیبا و زندگی‌بخش کتاب ارتباط ندارد بی‌شک از مهم‌ترین دستاورد انسانی و نیز از بیشترین معارف الهی و بشری محروم است. با این دیدگاه، به‌روشنی می‌توان ارزش و مفهوم رمزی عمیق در این حقیقت تاریخی را دریافت که اولین خطاب خداوند متعال به پیامبر گرامی اسلام(ص) این است که »بخوان!« و در اولین سوره‌ای که بر آن فرستاده عظیم‌الشأن خداوند، فرود آمده، نام «قلم» به تجلیل یاد

1. https://farsi.khamenei.ir/message-content?id=2696

شده‌است: «إقْرَأ وَ رَبُّکَ الْاَکْرَمُ. اَلَّذی عَلَّمَ بِالْقَلَم» در اهمیت عنصر کتاب برای تکامل جامعه انسانی، همین بس که تمامی ادیان آسمانی و رجال بزرگ تاریخ بشری، از طریق کتاب جاودانه مانده‌اند.

دانشگاه پیام‌نور با گستره جغرافیایی ایران‌شمول خود با هدف آموزش برای همه، همه‌جا و همه‌وقت، به‌عنوان دانشگاهی کتاب‌محور در نظام آموزش عالی کشورمان، افتخار دارد جایگاه اندیشه‌سازی و خردورزی بخش عظیمی از جوانان جویای علم این مرز و بوم باشد. تلاش فراوانی در ایام طولانی فعالیت این دانشگاه انجام پذیرفته تا با بهره‌گیری از تجربه‌های گرانقدر استادان و صاحب‌نظران برجسته کشورمان، کتاب‌ها و منابع آموزشی درسی شاخص و خودآموز تولید شود. در آینده هم، این مهم با هدف ارتقای سطح علمی، روزآمدی و توجه بیشتر به نیازهای مخاطبان دانشگاه پیام‌نور با جدیت ادامه خواهد داشت. به‌طور قطع استفاده از نظرات استادان، صاحب‌نظران و دانشجویان محترم، ما را در انجام این وظیفه مهم و خطیر یاری‌رسان خواهد بود. پیشاپیش از تمامی عزیزانی که با نقد، تصحیح و پیشنهادهای خود ما را در انجام این وظیفه خطیر یاری می‌رسانند، سپاسگزاری می‌نماییم. لازم است از تمامی اندیشمندانی که تاکنون دانشگاه پیام‌نور را منزلگه اندیشه‌سازی خود دانسته و ما را در تولید کتاب و محتوای آموزشی درسی یاری نموده‌اند، صمیمانه قدردانی گردد. موفقیت و بهروزی تمامی دانشجویان و دانش‌پژوهان عزیز آرزوی همیشگی ما است.

دانشگاه پیام‌نور

فهرست مطالب

پیشگفتار مترجم..... یازده
پیشگفتار مؤلف..... سیزده

فصل اول. مقدمه‌ای بر SRAM..... ۱
۱-۱ مقیاس‌بندی فناوری CMOS..... ۱
۱-۲ چرا SRAM؟..... ۳
۱-۳ معماری SRAM..... ۷
۱-۳-۱ سلول‌بیتی SRAM..... ۹
۱-۳-۲ کدگشاهای آدرس..... ۱۰
۱-۳-۳ مدار پیش‌شارژ..... ۱۴
۱-۳-۴ تقویت‌کننده‌های حس‌کننده..... ۱۴
۱-۳-۵ محرک‌های نوشتن..... ۱۸
۱-۴ مسائل و چالش‌های طراحی SRAM..... ۲۱
۱-۴-۱ شرایط متناقض تعیین اندازهٔ افزاره..... ۲۳
۱-۴-۲ تغییرات فرایند..... ۲۵
۱-۴-۳ جریان نشتی خط‌بیت..... ۲۷
۱-۴-۴ اختلال جزئی نوشتن..... ۲۹
۱-۴-۵ خطاهای نرم..... ۳۰
۱-۵ توپولوژی‌های سلول‌بیتی SRAM..... ۳۲
۱-۵-۱ توپولوژی‌های سلول‌بیتی SRAM بدون دهانه خواندن مجزا..... ۳۴

۱-۵-۱-۱ توپولوژی سلول‌بیتی SRAM پنج ترانزیستوری (۵T) ۳۴
۱-۵-۱-۲ سلول‌بیتی SRAM شش ترانزیستوری (۶T) مبتنی بر دروازه انتقال ۳۵
۱-۵-۱-۳ سلول‌بیتی SRAM اشمیت تریگر دَه ترانزیستوری (۱۰T) ۳۷
۱-۵-۲ توپولوژی‌های سلول‌بیتی SRAM با دهانه خواندن مجزا ۳۹
۱-۵-۲-۱ توپولوژی سلول‌بیتی SRAM هشت ترانزیستوری (۸T) ۳۹
۱-۵-۲-۲ توپولوژی سلول‌بیتی SRAM نُه ترانزیستوری (۹T) ۴۱
۱-۵-۲-۳ توپولوژی سلول‌بیتی SRAM دَه ترانزیستوری (۱۰T) ۴۲
۱-۵-۳ سلول‌بیتی SRAM نامتقارن کم‌نشت ۴۴
۱-۶ خلاصه ۴۶

فصل دوم. معیارهای طراحی سلول بیتی SRAM ۴۹
۲-۱ مروری بر سلول بیتی ۶T SRAM استاندارد ۴۹
۲-۱-۱ عمل خواندن ۵۰
۲-۱-۲ اندازه‌گیری SNM خواندن ۵۳
۲-۱-۳ عمل نوشتن ۵۶
۲-۱-۴ اندازه‌گیری SNM نوشتن ۵۸
۲-۱-۵ روابط بین قدرت راه‌اندازی ترانزیستورها ۵۸
۲-۲ سایر معیارهای پایداری سلول بیتی SRAM ۶۱
۲-۲-۱ معیارهای پایداری منحنی N ۶۱
۲-۲-۲ معیارهای ولتاژ و جریان ایستا ۶۵
۲-۲-۳ معیارهای توان ۶۶
۲-۲-۴ وابستگی‌های SPNM و WTP ۶۷
۲-۲-۵ وابستگی به نسبت سلول بیتی ۶۸
۲-۲-۶ وابستگی به ولتاژ تغذیه (VDD) ۷۰
۲-۳ معیارهای طراحی اندازه‌گیری خطبیت ۷۰
۲-۳-۱ اندازه‌گیری پایداری خواندن ۷۱
۲-۳-۲ اندازه‌گیری قابلیت نوشتن ۷۶
۲-۴ تحلیل پایداری پویا ۷۸
۲-۴-۱ پایداری خواندن پویا ۸۰
۲-۴-۲ پایداری نوشتن پویا ۸۴
۲-۵ خلاصه ۸۴

فصل سوم. طراحی سلول‌بیتی SRAM تک‌سر ۸۷
۳-۱ مقدمه ۸۷

۳-۲ توپولوژی‌های سلول‌بیتی SRAM ۹۱
۳-۲-۱ سلول‌بیتی ۶T SRAM با دسترسی مبتنی بر دروازه انتقال (TG-۶T) ۹۱
۳-۲-۲ سلول‌بیتی ۸T SRAM با دهانه خواندن مجزا ۹۳
۳-۳ سلول‌بیتی ۶T SRAM تک‌سر (SE-SRAM) ۹۵
۳-۳-۱ ساختار آرایهٔ سلول‌بیتی SE ۶T SRAM ۹۹
۳-۳-۲ عمل خواندن ۱۰۰
۳-۳-۳ عمل نوشتن ۱۰۲
۳-۴ حاشیه‌های پایداری خواندن و توانایی نوشتن ۱۰۳
۳-۴-۱ حاشیهٔ پایداری خواندن (SNM) ۱۰۳
۳-۴-۲ حاشیهٔ توانایی نوشتن (WAM) ۱۰۷
۳-۵ تعیین اندازهٔ ترانزیستورهای کمکی خواندن و نوشتن در سلول‌های‌بیتی SE ۶T ۱۱۰
۳-۵-۱ تعیین اندازهٔ ترانزیستور کمکی خواندن ۱۱۰
۳-۵-۲ تعیین اندازهٔ ترانزیستور کمکی نوشتن ۱۱۶
۳-۵-۳ نقشهٔ جانمایی برای حذف PWD ۱۱۸
۳-۶ عملکرد و مصرف توان ۱۲۱
۳-۶-۱ توزیع زمان دسترسی خواندن ۱۲۱
۳-۶-۲ مصرف توان و نشت ۱۲۳
۳-۷ خلاصه ۱۲۶

فصل چهارم. طراحی سلول بیتی SRAM دو دهانه‌ای ۱۲۹
۴-۱ مقدمه ۱۲۹
۴-۲ سلول‌های بیتی SRAM دو دهانه‌ای موجود ۱۳۲
۴-۲-۱ سلول بیتی ۸T SRAM استاندارد ۱۳۳
۴-۲-۲ سلول بیتی ۷T SRAM با بایاسینگ تفاضلی ۱۳۵
۴-۳ سلول بیتی ۶T SRAM دو دهانه‌ای ۱۳۷
۴-۳-۱ ساختار آرایه ۱۴۰
۴-۳-۲ عملیات خواندن و نوشتن در سلول بیتی ۶T دو دهانه‌ای ۱۴۱
۴-۴ دهانه خواندن با پیکربندی مجدد در سلول بیتی ۶T دو دهانه‌ای ۱۴۲
۴-۴-۱ جریان نشتی RBL و جریان تونل‌زنی گیت ۱۴۷
۴-۴-۲ حالت ۱ برای نشت خطبیت خواندن ۱۴۹
۴-۴-۳ حالت ۲ برای نشت خطبیت خواندن ۱۵۲
۴-۵ دسترسی هم‌زمان خواندن و نوشتن در ۶T SRAM دو دهانه‌ای ۱۵۴
۴-۵-۱ خواندن کلمهٔ A ۱۵۶
۴-۵-۲ نوشتن کلمهٔ A ۱۵۷

۴-۵-۳ خواندن و نوشتن هم‌زمان کلمات A و C ۱۵۸
۴-۶ حساسیت تغییرات فرایند SRAM ۱۵۸
۴-۷ مساحت، توان و عملکرد سلول‌های‌بیتی SRAM دو دهانه‌ای ۱۶۵
۴-۷-۱ هزینهٔ سربار مساحت با قابلیت‌های چنددهانه‌ای ۱۶۵
۴-۷-۲ مصرف توان ۱۶۹
۴-۷-۳ عملکرد ۱۶۹
۴-۸ خلاصه ۱۷۱

فصل پنجم. طراحی سلول‌بیتی SRAM با استفاده از ادوات یک‌طرفه ۱۷۳
۵-۱ مقدمه ۱۷۳
۵-۲ ترانزیستورهای تونل‌زنی ۱۷۶
۵-۳ ایجاد مدل رفتاری برای TFETها ۱۸۱
۵-۴ تأثیرات جریان نامتقارن بر طراحی SRAM ۱۸۵
۵-۴-۱ توپولوژی سلول‌بیتی SRAM با ترانزیستورهای دسترسی درون‌سو ۱۸۸
۵-۴-۲ توپولوژی سلول‌بیتی SRAM با ترانزیستورهای دسترسی برون‌سو ۱۹۱
۵-۵ مطالعهٔ موردی طراحی سلول‌بیتی ۶T TFET SRAM ۱۹۵
۵-۵-۱ عمل خواندن در سلول‌بیتی ۶T TFET SRAM ۱۹۶
۵-۵-۲ عمل نوشتن در سلول‌بیتی ۶T TFET SRAM ۱۹۸
۵-۶ معیارهای طراحی سلول‌بیتی SRAM ۲۰۱
۵-۶-۱ پایداری سلول‌بیتی SRAM ۲۰۱
۵-۶-۲ عملکرد سلول‌بیتی SRAM ۲۰۴
۵-۶-۳ توان نشتی ۲۰۶
۵-۶-۴ مساحت ۲۰۷
۵-۷ خلاصه ۲۰۹

فصل ششم. NBTI و تأثیر آن بر SRAM ۲۱۱
۶-۱ مقدمه ۲۱۱
۶-۲ ویژگی‌های فیزیکی ناپایداری دمایی بایاس منفی (NBTI) و تأثیر آن ۲۱۴
۶-۳ مدل NBTI ۲۲۰
۶-۴ سلول‌های‌بیتی SRAM تحت NBTI ۲۲۱
۶-۵ روش‌های صرفه‌جویی انرژی نشتی در حافظه‌های نهان ۲۲۷
۶-۵-۱ پیکربندی‌های حافظهٔ نهان با صرفه‌جویی در انرژی نشتی ۲۲۸
۶-۶ بازیابی پایداری در پیکربندی‌های مختلف حافظهٔ نهان ۲۳۱
۶-۶-۱ بازیابی SNM خواندن ۲۳۱

۶-۶-۲ بازیابی WNM ۲۳۳
۶-۷ تأثیر NBTI تحت تغییرات فرایند ۲۳۶
۶-۷-۱ توزیع SNM خواندن تحت تغییرات فرایند ۲۳۶
۶-۷-۲ توزیع جریان نشتی تحت تغییرات فرایند ۲۳۸
۶-۸ خلاصه ۲۳۹

منابع **۲۴۱**

کلمات اختصاری **۲۵۳**

پیشگفتار مترجم

این کتاب یک راهنما برای طراحی و تحلیل سلول‌های بیتی حافظه دسترسی تصادفی ایستا (SRAM) می‌باشد و تلاش می‌کند تا چالش‌های ناحیه نانو برای ادوات CMOS و ادوات نوظهور را برطرف کند. از آنجایی که تغییرات فرایند یک چالش مداوم در آرایه‌های حافظه بزرگ می‌باشد، این کتاب محبوب‌ترین توپولوژی‌های سلول بیتی SRAM (مدارهای معیار) که تغییرپذیری را کاهش می‌دهند، همراه با تجزیه و تحلیل جامع، ارائه می‌کند. در سرتاسر این کتاب، بر مصالحه‌های مختلف برای دستیابی به بهترین طراحی ممکن برای سلول بیتی SRAM تأکید شده است.

محتوای این کتاب برای مهندسین طراح VLSI، دانشجویان تحصیلات تکمیلی رشته‌های مهندسی برق الکترونیک و معماری کامپیوتر و کسانی که قصد دارند تحقیقات خود را در زمینهٔ طراحی SRAM آغاز کنند بسیار مناسب می‌باشد.

قطعا این نوشتار خالی از اشکال نیست. لذا مستدعی است اصلاحات و نکات پیشنهادی خود را از طریق پست الکترونیک m.faraji@pnu.ac.ir با ما در میان بگذارید.

در پایان بر خود لازم می‌دانم از واحد تدوین و انتشارات دانشگاه پیام نور به خاطر بررسی و چاپ کتاب تشکر نمایم. امید است این کتاب مورد استفاده خوانندگان گرامی قرار گرفته و در ارتقاء سطح دانش آن‌ها مفید باشد.

مهدی فرجی

پیشگفتار مؤلف

فناوری نیمه‌رسانای اکسید فلزی مکمل[1] (CMOS) در طول دهه‌های گذشته خود را به‌عنوان مهم‌ترین روش ساخت نشان داده و به گزینهٔ انحصاری برای حافظه‌های نیمه‌رسانا به‌ویژه حافظه دسترسی تصادفی ایستا[2] (SRAM) تبدیل شده است. SRAMها نقش مهمی در سلسله مراتب حافظه برای سیستم‌های کامپیوتری مدرن ایفاء می‌کنند و به‌عنوان یکی از اجزای مهم انواع مختلف کاربردهای میکروالکترونیکی از جمله سیستم‌های بی‌سیم مصرف‌کننده تا پردازنده‌های سرور با کارایی بالا، محصولات چندرسانه‌ای و سیستم روی تراشه[3] (SoC) محسوب می‌شوند. به‌طورکلی، سلول‌های‌بیتی SRAM از ادواتی[4] با کوچک‌ترین ساختار هندسی ساخته می‌شوند تا چگالی بالایی داشته باشند و بتوانند پابه‌پای مقیاس‌بندی فناوری CMOS پیش بروند؛ در نتیجه اولین ادواتی هستند که در معرض عوارض جانبی ناشی از مقیاس‌بندی فناوری قرار می‌گیرند. به‌منظور مقابله با چالش‌های ناحیه نانو[5] مانند توان پایین[6]، تغییرات فرایند[7] و خطاهای نرم[8]، اخیراً مدارها و معماری‌های متعدد و مختلفی برای

1. Complementary Metal Oxide Semiconductor
2. Static Random Access Memory
3. System-On-Chip
4. Devices
5. Nano-Regime
6. Low-Power
7. Process Variation
8. Soft Error

سلول‌های‌بیتی SRAM پیشنهاد شده‌اند که در آن‌ها ادوات متفاوتی مانند سلول‌های‌بیتی SRAM مبتنی بر ترانزیستورهای اثر میدانی تونلی[1] (TFET) برای کاربردهای توان پایین مورد تأکید قرار گرفته‌اند.

هدف این کتاب این است که دیدگاه نظام‌مند و جامعی برای کمک به درک بهتر مدارها، معماری‌ها و روش‌های طراحی و تحلیل سلول‌های‌بیتی SRAM ارائه دهد. چالش‌های ناحیه نانو مانند توان پایین، تغییرات فرایند و خطاهای نرم مهم‌ترین مسائلی هستند که هنگام طراحی و تحلیل سلول‌های‌بیتی SRAM به‌دقت در نظر گرفته می‌شوند. طراحی SRAM مقاوم[2] و روش‌های تحلیل آن، جنبه‌های مختلف طراحی و تحلیل مدارها و آرایه‌های سلول‌بیتی SRAM را به طراحان، محققان و مهندسین مدارها و سیستم‌های تعبیه‌شده[3] نشان می‌دهند. در این کتاب مفاهیم فوق به‌تفصیل شرح داده می‌شوند تا دستورالعمل‌های دقیقی برای طراحی حافظه‌های نهان[4] بزرگی که در سیستم‌های تعبیه‌شده و قابل حمل موردنیاز هستند، ارائه شود. همچنین توپولوژی‌های جایگزینی برای SRAM شش ترانزیستوری (۶T) ارائه می‌شوند که هنگام پیاده‌سازی با استفاده از فناوری CMOS در مقیاس نانو، مقاوم‌تر هستند. توپولوژی‌های مربوط به سلول‌های‌بیتی SRAM توان پایین بر اساس استحکام آن‌ها طبقه‌بندی شده و همراه با مزایا و معایب آن‌ها به‌تفصیل شرح داده می‌شوند. همچنین معیارهای مختلف کیفیت برای بررسی حافظه‌های نهان کوچک و بزرگ مورد بحث قرار می‌گیرند.

محتوای این کتاب برای مهندسین طراح VLSI در مقیاس نانو، دانشجویان تحصیلات تکمیلی رشتهٔ مهندسی برق و کسانی که قصد دارند تحقیقات خود را در زمینهٔ طراحی SRAM آغاز کنند در نظر گرفته شده است. همچنین این کتاب، منبع مهمی برای مهندسانی است که قصد دارند با جنبه‌های مختلف SRAM آشنا شده و آن‌ها را توسعه دهند. در این کتاب فرض بر این است که خوانندگان دانش پایه در مورد مدارات و ادوات الکترونیکی را دارند و با آن‌ها آشنا هستند. هدف این کتاب این است

1. Tunnel Field Effect Transistors
2. Robust
3. Embedded System
4. Cache

که به مهندسین طراح VLSI و دانشجویان آموزش داده شود تا بتوانند SRAM و معماری حافظهٔ نهان را به‌خوبی طراحی کنند.

در این کتاب مباحث مقدماتی به‌اندازهٔ کافی ارائه می‌شوند تا با اصطلاحات طراحی و تحلیل SRAM آشنا شوید. هدف اصلی این است که به دانش و معلومات عمیقی در چند زمینه مانند عملکرد، طراحی و تحلیل SRAMهای مبتنی بر CMOS و TFET دست یابید. این کتاب مشتمل بر شش فصل می‌باشد: (۱) مقدمه‌ای بر SRAM، (۲) معیارهای طراحی سلول‌بیتی SRAM، (۳) طراحی سلول‌بیتی SRAM تک‌سر[1]، (۴) طراحی سلول‌بیتی SRAM دو دهانه‌ای[2]، (۵) طراحی سلول‌بیتی SRAM با استفاده از ادوات یک‌طرفه[3] و (۶) NBTI و تأثیر آن بر SRAM. توصیف مقدماتی SRAM به‌عنوان مبنایی برای درک بهتر اهمیت SRAM در سلسله مراتب حافظه و نیاز به اجزای سازندهٔ پایه برای تحقق حافظه‌های نهان عمل می‌کند. عملیات پایه و تحلیل پایداری[4] ایستا و پویا برای حافظه‌های نهان کوچک و بزرگ نشان می‌دهند که نقاط دادهٔ کافی برای تحلیل پایداری در روش‌های متعارف وجود ندارد. مطالعات موردی ماژول‌های[5] حافظهٔ نهان مبتنی بر سلول‌های‌بیتی SRAM دو دهانه‌ای و شش ترانزیستوری تک‌سر، روند کامل طراحی SRAM را نشان می‌دهند. در این کتاب پیامدهای تحقق SRAM با استفاده از ادوات یک‌طرفه مانند TFETها به‌تفصیل مورد بررسی قرار می‌گیرند و دو سلول‌بیتی SRAM مختلف با استفاده از TFETها با سلول‌بیتی CMOS SRAM شش ترانزیستوری استاندارد مقایسه می‌شوند. در نهایت تأثیر ناپایداری دمایی بایاس منفی بر پیکربندی‌های مختلف SRAM مورد بررسی قرار می‌گیرند.

1. Single-Ended
2. 2-Port
3. Unidirectional Devices
4. Stability
5. Modules

فصل اول

مقدمه‌ای بر SRAM

۱-۱ مقیاس‌بندی فناوری CMOS

مقیاس‌بندی فناوری CMOS مطابق قانون مور[1] در چهار دههٔ گذشته باعث شده است که عملکرد طراحی‌های VLSI بهبودی پنج برابری داشته باشند. قانون مور که در سال ۱۹۶۵ تدوین شد، بیان می‌دارد که تعداد ترانزیستورهای هر نسل در مدارات مجتمع[2] تقریباً هر ۲ سال (معمولاً ۱۸ تا ۲۴ ماه) دو برابر می‌شود [۸۰]. از آن زمان به بعد، قانون مور تبدیل به خطی مشی اصلی صنعت نیمه‌رسانا برای کاهش مقیاس فناوری‌های فرایند[3] در نسل‌های آینده شده است. صنعت نیمه‌رسانا به‌طور قابل فهمی شدیداً مشتاق این است که شاهد ادامهٔ سرعت قانون مور باشد و البته این سرعت وابسته به فناوری‌های ساخت ترانزیستور می‌باشد که روزبه‌روز در حال پیشرفت هستند و بر چالش‌های مربوط به مقیاس‌بندی فناوری غلبه می‌کنند. مور همچنین بیان کرده است که هزینهٔ تولید به ازای هر عملیات در ریزپردازنده‌ها[4] برای فناوری‌های نسل آینده به‌طور نمایی کاهش می‌یابد.

به‌طورکلی، مقیاس‌بندی حداقل اندازهٔ ابعاد[5] طول و عرض به میزان حدوداً ۳۰٪ (عدد جادویی مور) برای هر نسل جدید فناوری به لحاظ تئوری منتهی به موارد زیر می‌شود:

---

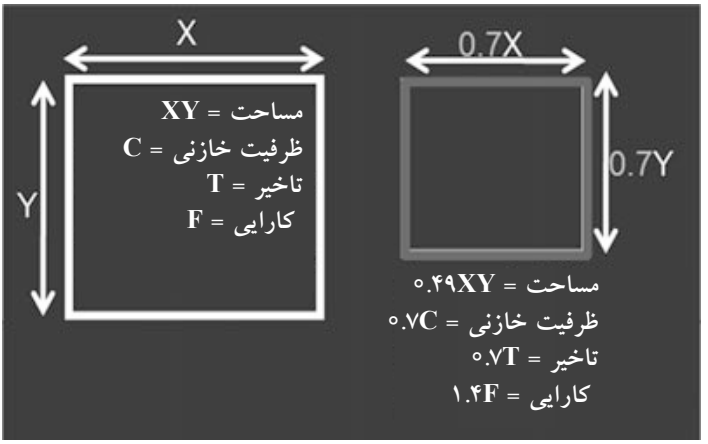
1. Moore's Law
2. Integrated Circuit
3. Process Technologies
4. Microprocessor
5. Feature Size

۱. چگالی افزاره[1] دو برابر می‌شود درحالی‌که مساحت به میزان (۰.۷X × ۰.۷Y) یعنی حدود ۵۰٪ کاهش می‌یابد، در نتیجه ادوات بیشتری در یک مساحت ثابت قرار داده می‌شود که هزینهٔ هر ترانزیستور را به‌طور مؤثری کاهش می‌دهد.
۲. ظرفیت خازنی کل به میزان ۳۰٪ کاهش می‌یابد که باعث می‌شود تأخیر دروازه[2] به میزان ۳۰٪ کاهش پیدا کند و در نتیجه سرعت کار تا ۴۳٪ افزایش می‌یابد.
۳. بنابراین مصرف توان[3] (توان متناسب با CV^2f است) به خاطر کاهش اندازهٔ ترانزیستورها و کاهش ولتاژ تغذیه باید برای مدار معینی به میزان ۳۰٪ تا ۶۵٪ کاهش پیدا کند.

شکل ۱-۱ مقیاس‌بندی فناوری CMOS را نشان می‌دهد. این عدد جادویی ۳۰٪، نسل بعدی فناوری CMOS را مطابق قانون مور تعیین می‌کند. ایدهٔ مقیاس‌بندی فناوری جذابیت زیادی دارد به‌طوری‌که صنعت نیمه‌رسانا برای تداوم این روند مقیاس‌بندی فناوری بسیار پرتلاش بوده است، اما سرعت این مقیاس‌بندی فعالانه اخیراً کاهش پیدا کرده است. برای این‌که گره فناوری نسل بعدی را مطابق عدد جادویی مور پیش ببریم، اگر مثلاً گره فناوری فعلی را ۶۵ نانومتر در نظر بگیریم، در آن صورت گره فناوری بعدی ۴۵ نانومتر (۰/۷ × ۶۵) خواهد بود. سایر نسل‌های فناوری نیز به همین ترتیب به دست آمده‌اند.

مقیاس‌بندی ولتاژ تغذیه باعث کاهش توان ایستا و همچنین کاهش شدید توان پویا به دلیل رابطهٔ درجه دوم آن با ولتاژ تغذیه می‌شود. بااین‌حال اگر صرفاً V_{DD} را کاهش دهیم، تأخیر افزایش خواهد یافت، بنابراین ولتاژ آستانهٔ افزاره (V_{TH}) نیز باید برای حفظ جریان تحریک کاهش یابد اما کاهش V_{TH} منجر به افزایش نمایی توان نشتی می‌شود. علاوه بر این، ادواتی با حداقل اندازهٔ ابعاد و به‌شدت تطبیق‌یافته از اهمیت زیادی به‌ویژه هنگام طراحی حافظه‌های دسترسی تصادفی ایستا (SRAM)

1. Device
2. Gate
3. Power Dissipation



شکل ۱-۱. تصویر مقیاس‌بندی فناوری CMOS برای نسل‌های آینده.

برخوردارند، بنابراین اولین ادواتی هستند که متحمل روندهای نمایی مقیاس‌پذیری می‌شوند. ادامهٔ مقیاس‌بندی فناوری CMOS باعث بروز مشکلات متعددی شده است که از جمله می‌توان به تغییرات ناشی از فرایند، خطاهای نرم، تنزل ترانزیستور به دلیل فرسودگی و غیره اشاره کرد. البته لازم به ذکر است که این مشکلات در نسل‌های اولیه فناوری شدت کمتری داشتند.

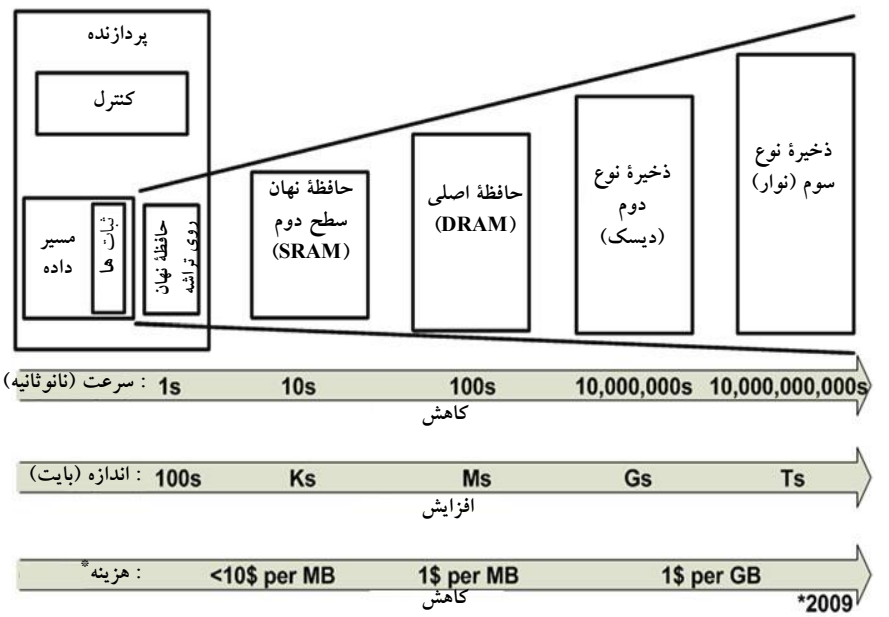
۱-۲ چرا SRAM؟

ایدهٔ حافظهٔ مبتنی بر MOSFET برای اولین بار در دههٔ هفتاد تجاری‌سازی و تکمیل شد. رابرت دنارد[1] از شرکت IBM ساخت سلول حافظهٔ پویا با استفاده از یک MOSFET و یک خازن را در سال ۱۹۶۸ پیش‌بینی کرد [۳۰]. اولین تراشهٔ حافظهٔ دسترسی تصادفی پویا[2] (DRAM) بر اساس MOSFET با ۲ کیلوبیت به همراه اصلاحات فرایندی در کنترل نشت در سال ۱۹۷۱ ساخته شد. بااین‌حال، عملکرد DRAM به دلیل زمان دسترسی طولانی و نیاز به توان بیشتر از همان ابتدا نتوانست پابه‌پای عملکرد پردازنده‌ها پیش برود [۲۹، ۴۲]. ماهیت پویای DRAM باعث می‌شود

1. Robert Dennard
2. Dynamic Random Access Memory

که این حافظه به‌طور متناوب نیاز به بازنویسی داشته باشد تا محتوای سلول‌های حافظه از بین نرود.

شکاف فزاینده بین پردازنده‌ها و عملکرد DRAM نشان داده است که نیاز به سطوح مختلفی برای سلسله مراتب حافظه در معماری‌های پردازنده وجود دارد. سلسله مراتب حافظه از حافظه‌های روی تراشه با کارایی بالا و اندازهٔ کوچک اما گران‌قیمت تا حافظه‌های کُندتر خارج از تراشه با اندازهٔ بزرگ اما ارزان‌قیمت مانند DRAM، حافظه‌های مغناطیسی یا نوری متغیر می‌باشد. پردازنده برای برآورده کردن شرایط عملکرد سیستم سعی می‌کند تا داده‌ها و دستورالعمل‌های پرکاربرد را به خود نزدیک‌تر کند (یعنی در حافظهٔ سریع‌تر روی تراشه که حافظهٔ «نهان» نامیده می‌شود). سلسله مراتب متعارف حافظه برای یک سیستم کامپیوتری مدرن در شکل ۱–۲ نشان داده شده است.



شکل ۱–۲. سلسله مراتب متعارف حافظه برای یک سیستم کامپیوتری مدرن.

حافظه‌های نهان روی تراشه اغلب L1، L2 و حتی L3 نامیده می‌شوند. سطوح مختلف حافظه‌های نهان، حافظه‌های دسترسی تصادفی ایستا (SRAM) هستند که از نظر عملکرد در صدر سلسله مراتب حافظه قرار دارند اما اغلب به دلیل محدودیت‌های مساحت و هزینه بالا به ازای هر بیت با ظرفیت کمتری مجتمع می‌شوند. سرعت و هزینه به ازای هر بیت با حرکت از ثبات‌ها به سمت ذخیرهٔ نوع سوم کاهش می‌یابند اما ظرفیت ذخیره‌سازی داده‌ها افزایش پیدا می‌کند.

SRAMها به‌عنوان یکی از اجزای مهم انواع مختلف کاربردهای میکروالکترونیکی از سیستم‌های بی‌سیم مصرف‌کننده تا پردازنده‌های سرور با کارایی بالا، محصولات چندرسانه‌ای و سیستم روی تراشه (SoC) محسوب می‌شوند. پردازنده‌های مدرن با کارایی بالا و کاربردهای SoC برای این‌که به عملکرد و توان عملیاتی لازم دست یابند، به حافظهٔ بیشتری روی تراشه نیاز دارند. بااین‌حال، به دلیل محدودیت‌های مساحت و هزینه بالا به ازای هر بیت نمی‌توان مقدار زیادی از حافظهٔ مورد نیاز را در داخل تراشه تعبیه کرد. شکل ۱-۳ روند صعودی حافظه‌های نهان روی دای[1] برای پردازنده‌های مختلف بر اساس گره‌های فناوری متفاوت را نشان می‌دهد. همچنین پیش‌بینی می‌شود که درصد SRAMهای تعبیه‌شده در محصولات SoC افزایش خواهد یافت [۴۸]. علاوه بر این از آنجایی که الگوی طراحی ریزپردازنده‌ها به معماری‌های چندهسته‌ای تغییر پیدا کرده است، نیاز بسیار زیادی به حافظه‌های نهان در سیستم‌های کامپیوتری مدرن وجود دارد. همان‌طور که در شکل ۱-۳ مشاهده می‌شود، مقدار حافظهٔ نهان در پردازندهٔ مونتسیتوی دوهسته‌ای اینتل[2] در مقایسه با پردازندهٔ تک‌هسته‌ای زئون[3] به‌طور قابل توجهی افزایش یافته است.

روند متعارف مساحت حافظهٔ تعبیه‌شده و منطق برای سیستم روی تراشه (SoC) نیز در شکل ۱-۴ نشان داده شده است. در این روند مشاهده می‌شود که سهم SRAM بر روی دای به‌طور چشمگیری از ۲۰٪ در سال ۱۹۹۹ به ۹۴٪ که برای سال ۲۰۱۴

1. Die
2. Montecito, Dual Core, Intel Processor
3. Xeon